

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.  
H01L 29/78

(11) 공개번호 특2002-0046208  
(43) 공개일자 2002년 06월 20일

(21) 출원번호	10-2001-0077746
(22) 출원일자	2001년 12월 10일
(30) 우선권 주장	JP-P-2000-0037561Q, 2000년 12월 11일, 일본 (JP)
(71) 출원인	가부시키가이샤 히타치세이사쿠쇼, 가나이 쓰토무 일본 도쿄도 치요다구 간다스루가다이 4조메 6반치
(72) 발명자	유가미지로 일본 가나가와현 요코하마시 아오바쿠마오바다이 1조메 32반치 3고603 요코야마 나쓰끼 일본 도쿄도 미다카시미구 지5-6-14 미네 도시유키 일본 도쿄도 홋사시 핫사 2127-36 아사시 고토 일본 도쿄도 고꾸분지시 혼쵸 4-24-10-502
(74) 대리인	장수길, 구영형

심사청구 : 없음

(54) 반도체 장치 및 그 제조 방법

요약

본원 발명은 실리콘 산화막보다 비유전율이 높은 절연막을 게이트 절연막으로 하여, 고속으로 작동하고, 채널 특성과 구동 전류에 우수하며, 실리콘 기판 내로의 금속 원소의 도입이 적은 반도체 장치를 제공하는 것이다.

반도체 기판 상에 비유전율이 실리콘 산화막보다 높은 절연막인 티탄 산화막(103)을 게이트 절연막으로서 설치하고, 이 위에 게이트 전극(104)을 배치하여 전계 효과 트랜지스터로 하며, 이 티탄 산화막(103)의 게이트 길이 방향의 단부를 게이트 전극(104)의 소스측, 드레인측의 단부보다 내측에 위치시키고, 또한, 이 티탄 산화막(103)의 단부를 게이트 전극(104)과, 소스 영역 및 드레인 영역(107)이 평면적으로 오버랩 되는 영역에 위치시키도록 한 반도체 장치이다.

도면

도 2

색인어

실리콘 기판, 소자 분리 영역 구조, 포토레지스트, 에칭, 게이트 절연막

명세서

도면의 간단한 설명

- 도 1은 본 발명의 실시예 1의 반도체 장치의 제조 공정도.
  - 도 2는 본 발명의 실시예 1의 반도체 장치의 제조 공정도.
  - 도 3은 본 발명의 실시예 2의 반도체 장치의 제조 공정도.
  - 도 4는 본 발명의 실시예 2의 반도체 장치의 제조 공정도.
  - 도 5는 본 발명을 설명하기 위한 채널 방향의 게이트 절연막의 실효적인 막 두께와 불순물 농도의 관계를 나타내는 도면.
  - 도 6은 본 발명의 실시예 3의 반도체 장치의 제조 공정도.
  - 도 7은 본 발명의 실시예 3의 반도체 장치의 제조 공정도.
- <도면의 주요 부분에 대한 부호의 설명>

- 101, 201, 301 : 실리콘 기판
- 102, 202, 302 : 소자 분리 영역 구조
- 103 : 티탄 산화막
- 104, 205, 305 : 게이트 전극
- 105, 106, 206, 306, 307 : 실리콘 산화막
- 107, 207 : 소스-드레인 영역
- 108, 208, 308 : 층간 절연막
- 109, 209, 309 : 포토레지스트
- 110, 210, 310 : 금속막
- 203, 303 : 실리콘이트막
- 204, 304 : 지르코늄 산화막

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로, 특히 종래의 실리콘 산화막에 비해 높은 비유전율을 갖는 절연막을 게이트 절연막으로서 이용하는 MISFET을 갖는 반도체 장치 및 그 제조 방법에 관한 것이다.

반도체 장치에서의 기술적 발전은 고집적화, 저소비 전력화 및 고속화의 3개의 관점에서 진행되어 왔다. 이 중, MISFET에서의 저소비 전력화와 고속화는 상반되는 과제이고, 양립을 위해서는 종래의 추세를 상회하는 게이트 절연막의 박막화가 요구되고 있다. 한편, 종래로부터 게이트 절연막으로서 이용되어 온 실리콘 산화막은 실리콘 기판과의 계면 특성에 우수하고, 절연막으로서의 대역 갭도 크다고 하는 우월성을 갖지만, 비유전율이 3.8~3.9이고, 현재의 디바이스 성능상의 요구에서도 그 막 두께를 3nm 전후로 할 필요가 있다. 이 절연막의 막 두께는 필요한 채널 유도 전하량에 의해 결정된다. 채널 유도 전하량  $Q_c$ 는 게이트 절연막 막 두께를  $t$ , 비유전율을  $\epsilon$ , 전공의 유전율을  $\epsilon_0$ , 게이트 절연막에 인가되는 전압  $V$ 를 이용하여,

$$Q_c = V \cdot \epsilon_0 \cdot \epsilon / t (q/cm^2)$$

로 나타낸다. 절연막의 막 두께를 3nm 이하로 박막화하면, 게이트 전극과 실리콘 기판 사이에는 절연막 내를 터널로 하여 직접적으로 흐르는 전류(직접 터널 전류)가 관측되고, 이 전류가 매우 크기 때문에, 실리콘 산화막을 사용한 지금 이상의 박막화는 곤란하다고 생각된다.

이 문제를 회피하기 위해서는, 비유전율  $\epsilon$ 가 큰 절연막을 사용하는 것이 유효하다. 이 이유는, 상기한 수학적 식으로부터 분명해진 바와 같이, 상기  $Q_c$ 가  $\epsilon$ 에 비례하고, 막 두께  $t$ 에 반비례한 것에 의한 것이다.  $\epsilon$ 이 큰 절연막으로서는, 티탄, 탄탈, 하프늄, 지르코늄, 알루미늄, 란타, 스트론튬, 셀레늄 등의 산화막이 알려져 있고, 예를 들면, B. He 등에 의해 발표된 논문(인터내셔널 전자 디바이스 미팅 테크니컬 다이제스트, 1998, 1038~1040페이지(1998 International Electron Device Meeting Technical Digest, p.p.1038~1040))에는 티탄 산화막을 사용한 MIS(메탈 절연체 실리콘) 구조의 특성이 진술되어 있고, 실리콘 산화막의 비유전율로 환산한 막 두께(EOT: Equivalent Oxide Thickness)로서 1.1nm의 절연막에서도 직접 터널 전류를 억제할 수 있는 것이 진술되어 있다.

또한, 특개평 11-3990호 공보에는, 게이트 절연막에 고유전율 재료를 이용하였을 때, 게이트 전계의 증대에 의해 전류 누설이 커져 소자 특성을 열화시키고, 또한, 게이트 전계와 드레인 전계와의 오버랩에 의해 단채널 효과가 생기지만, 그것을 막기 위해, 다음과 같은 반도체 장치가 개시되어 있다. 이 반도체 장치는 게이트 절연막이 게이트 전극보다 게이트 길이 방향으로 짧게 형성되며, 게이트 길이 방향에서의 게이트 절연막의 측방, 또한, 게이트 전극과 반도체 기판 사이에 끼워진 영역에 있어서, 또한 적어도 게이트 전극과 확산층이 평면적으로 오버랩되는 영역에, 공간 또는 게이트 절연막보다 낮은 유전율을 갖는 유전체를 설치한 것이다.

#### 발명이 이루고자 하는 기술적 과제

상기 B. He 등의 논문에 기재된 바와 같이, 티탄 산화막 등의 비유전율이 높은 절연막을 사용하면, EOT를 1nm 이하로 얇게 해도 절연막의 물리적인 막 두께는 충분히 두껍기 때문에 직접 터널 전류를 억제하는 것이 가능하다. 그러나 이 기술은, 높은 유전율을 갖는 절연막은 티탄이나 탄탈 등의 금속 산화물이고, 이를 금속이 실리콘 기판 내로 들어가는 것에 의한 접합 누설의 증대 등이 발생하는 것에 대하여 배려하지 않았다. 통상의 MISFET 형성 공정에서는, 게이트 전극 가공 시에 게이트 절연막을 남기고, 이것을 이온 주입의 스톱막으로 하여 이온 주입법에 의해 소스-드레인 영역을 형성하는 것이 일반적이지만, 이 때 게이트 절연막에 금속 원소를 포함하고 있으면, 노크 온 효과에 의해 금속 원소가 실리콘 기판 내로 도입되

는 것은 파악 수 없다.

또한, B. Cheng 등에 의한(아이미미 트랜잭션 온 일렉트론 디바이스, 제46권, 7월, 1999, 1537~1544페이지(IIEEE Transaction on Electron Devices, volume46 Number7, July 1999, PP.1537~1544))의 논문에는, 고유전율 절연막을 게이트 절연막으로서 사용하는 경우, 게이트 엣지와 소스·드레인간의 용량(프린지 용량)이 증가함에 따른 프린지 효과에 의해 디바이스 성능이 저하되는 것이 지적되어 있다.

또한, 상기 특허명11-3990호 공보에 기재된 종래 기술은, 게이트 전극과 확산층이 평면적으로 오버랩되는 영역에는 공간 또는 게이트 절연막보다 낮은 유전율을 갖는 유전체가 존재하고, 확산층 상부에는 게이트 절연막이 배치되어 있지 않기 때문에, 고속화를 달성하는 것은 곤란하다는 것에 대해서는 배려되어 있지 않았다.

본 발명의 제1 목적은, 실리콘 산화막보다 비유전율이 높은 절연막을 게이트 절연막으로 하여, 고속으로 작동하고, 단채널 특성과 구동 전류에 우수하며, 실리콘 기판 내로의 금속 원소의 도입이 적은 반도체 장치를 제공하는 것에 있다.

본 발명의 제2 목적은, 실리콘 산화막보다 비유전율이 높은 절연막을 게이트 절연막으로 하여, 고속으로 작동하고, 단채널 특성과 구동 전류에 우수하며, 실리콘 기판 내로의 금속 원소의 도입이 적은 반도체 장치의 제조 방법을 제공하는 것에 있다.

#### 발명의 구성 및 작용

상기 제1 목적을 달성하기 위해, 본 발명의 반도체 장치는 반도체 기판 상에 게이트 절연막을 통해 게이트 전극이 배치된 전계 효과 트랜지스터를 갖고, 게이트 절연막을 비유전율이 실리콘 산화막보다 높은 절연막으로 하고, 이 게이트 절연막의 게이트 길이 방향의 단부를 게이트 전극의 소스측, 드레인측의 단부보다 내측에 위치시키며, 또한, 이 게이트 절연막의 단부를 게이트 전극과, 소스 영역 및 드레인 영역이 평면적으로 오버랩되는 영역에 위치시키도록 한 것이다.

또한, 상기 제1 목적을 달성하기 위해, 본 발명의 반도체 장치는, 반도체 기판 상에 게이트 절연막을 통해 게이트 전극이 배치된 전계 효과 트랜지스터를 갖고, 게이트 절연막을 비유전율이 실리콘 산화막보다 높은 절연막으로 하고, 또한, 그 게이트 길이 방향의 단부를 게이트 전극의 소스측, 드레인측의 단부보다 내측에 위치시키며, 전계 효과 트랜지스터의 소스 영역 및 드레인 영역을 게이트 절연막의 하부로 연장시키도록 한 것이다.

어느 반도체 장치에 있어서도, 게이트 절연막의 단부란 그 두께가 가장 두꺼운 부분의 단부이다. 즉, 게이트 절연막이 복수층으로 이루어지고, 각각의 단부의 위치가 다를 때, 게이트 전극의 단부로부터 가장 내측에 위치하는 부분의 내측이 게이트 절연막으로서 가장 두꺼운 부분이 되기 때문에, 그 부분이 게이트 절연막의 단부로 된다. 또한, 게이트 절연막의 단부가 기판에 대하여 수직이 아닐 때도, 게이트 전극의 단부로부터 가장 내측에 위치하는 부분을 그 단부로 한다.

이 게이트 전극의 게이트 길이 방향의 단부는 게이트 전극의 소스측, 드레인측의 단부보다 각각 15nm~25nm 내측에 위치하는 것이 바람직하다. 이 게이트 절연막으로서 티탄, 탄탈, 하프늄, 지르코늄, 알루미늄, 란타넘 및 스트론튬으로 이루어진 군으로부터 선택된 적어도 일종(一種)의 금속의 산화물, 산질화물 또는 실리콘에이트 화합물 등을 이용하는 것이 바람직하다. 여기서 실리콘에이트 화합물이란 실리콘의 산화물(SiO<sub>2</sub>) 중에 상기 금속의 산화물이 함유된 구조로 정의한다. 또한, 게이트 절연막의 비유전율은 300정도까지가 바람직하다. 300을 넘으면 게이트 절연막의 막 두께가 너무 두꺼워지기 때문이다.

게이트 절연막을 복수의 층으로 할 때, 예를 들면, 티탄, 탄탈, 하프늄, 지르코늄, 알루미늄, 란타넘 및 스트론튬으로 이루어진 군으로부터 선택된 적어도 일종의 금속의 산화물로 이루어진 층과, 이 층의 아래에 이 금속의 실리콘에이트 화합물로 이루어진 층을 설치한 적층 구조로 할 수 있다.

상기 소스 영역 및 상기 드레인 영역은 상기 절연막에 포함되는 금속을 포함하지 않거나, 혹은 10<sup>11</sup>원자/cm<sup>2</sup> 이하의 농도로 포함하고 있도록 하는 것이 바람직하다. 게이트 전극은 텅스텐, 티탄 및 폴리리튬으로 이루어진 군으로부터 선택된 적어도 일종 중에서 선택된 금속 또는 그 질화물 혹은 규화물인 것이 바람직하다.

또한, 상기 제2 목적을 달성하기 위해, 본 발명의 반도체 장치의 제조 방법은, 반도체 기판 상에 실리콘 산화막보다 비유전율이 높은 절연막을 형성하고, 이 절연막 상에 도전성막을 형성하는 공정과, 도전성막을 가공하여 게이트 전극으로 하는 공정과, 비유전율이 높은 절연막을 게이트 전극의 하부에 있는 부분을 남기고 제거하고, 또한, 남겨진 부분의 단부가 게이트 전극의 소스 영역이 형성되는 측의 단부 및 드레인 영역이 형성되는 측의 단부의 내측에 위치하도록 하고, 이 남겨진 부분을 게이트 절연막으로 하는 공정과, 적어도 게이트 절연막의 게이트 길이 방향의 측방, 또한, 반도체 기판 상에 게이트 절연막보다 비유전율이 낮은 제2 절연막을 형성하는 공정과, 제2 절연막을 통해 이온 주입법에 의해 기판 내로 도우펀트를 주입하여 소스 영역 및 드레인 영역을 형성하고, 또한, 소스 영역 및 드레인 영역을 게이트 절연막의 하부로 연장시키는 공정을 포함하도록 한 것이다.

또한, 상기 제2 목적을 달성하기 위해, 본 발명의 반도체 장치의 제조 방법은, 반도체 기판 상에 비유전율이 실리콘 산화막보다 높은 제1 절연막을 형성하고, 제1 절연막 상에 비유전율이 제1 절연막보다 높은 제2 절연막을 형성하며, 제2 절연막 상에 도전성막을 형성하는 공정과, 도전성막을 가공하여 게이트 전극으로 하는 공정과, 제2 절연막을 게이트 전극의 하부에 있는 부분을 남기고 제거하고, 또한, 남겨진 부분의 단부를 게이트 전극의 소스 영역이 형성되는 측의 단부 및 드레인 영역이 형성되는 측의 단부의 내측에 위치하도록 하고, 이 남겨진 부분을 게이트 절연막으로 하는 공정과, 제1 절연막을 통해 이온 주입법에 의해 기판 내로 도우펀트를 주입하여 소스 영역 및 드레인 영역을 형성하고, 또한, 소스 영역 및 드레인 영역을 게이트 절연막의 하부로 연장시키는 공정을 포함하도록 한 것이다.

상기한 비유전율이 높은 절연막은 비정질 상태로 형성하고, 이 비유전율이 높은 절연막의 제거의 일부를

드라이 에칭에 의해 행한 후, 다시 웨트 에칭에 의해 행하도록 하는 것이 바람직하다. 또한 이 비유전율이 높은 절연막을 웨트 에칭 후에 결정화하는 것이 바람직하다. 또한, 이 비유전율이 높은 절연막의 제거는, 남겨진 부분의 단부가 게이트 전극의 소스 영역측, 드레인 영역측의 단부보다 15nm~25nm 내측에 위치하도록 행하는 것이 바람직하다. 남겨진 부분은 게이트 절연막으로 되기 때문에, 그 단부의 의미는 상기한 게이트 절연막의 단부와 동일하다.

상기 도우퍼트의 주입은 경사 이온 주입법에 의해 행할 수 있다. 게이트 절연막의 재질, 게이트 전극의 재질은 상기과 같다. 또한, 게이트 전극을 다결정 실리콘으로 하고, 복수의 게이트 전극이 이온 주입되는 윗면을 다르게 하여 그 일 함수를 서로 다르게 할 수 있다. 게이트 절연막이나 게이트 전극의 바람직한 재료 등은 상기와 동일하다.

#### <실시예 1>

이하, 도 1, 도 2를 이용하여 본 발명의 실시예를 진술한다. 사전에 P형, N형의 웰 구조 등의 원하는 불순물 프로파일을 작성한 실리콘 기판(101)에, 공지의 기술에 의해 홈 매립형의 소자 분리 영역 구조(102)를 형성한다. 이 후, 실리콘 기판 표면을 세정하고, 다시 실리콘 기판 표면의 산화막을 제거한 후, 실리콘 산화막보다 비유전율이 높은 고유전율 절연막인 티탄 산화막(103), 게이트 전극(104)이 되는 금속막, 게이트 가공 시의 마스크가 되는 실리콘 산화막(105)을 연속적으로 형성하고, 도 1의 (a)에 도시한 구조로 하였다. 티탄 산화막은 CVD법에 의해 형성하였다. 이 때 형성 온도 등을 제어함으로써, 비정질 상태로 퇴적하였다. 또한 게이트 전극이 되는 금속막은 텅스텐막을 스퍼터법으로 형성한 막을 이용하였다.

이 후, 통상의 리소그래피 및 드라이 에칭 기술을 이용하여, 실리콘 산화막(105) 및 텅스텐막을 가공하여 게이트 전극(104)을 형성한다. 이 때 드라이 에칭의 특성에 의해, 티탄 산화막(103)도 일부 에칭되며, 그 상부는 게이트 전극(104)의 게이트 길이 방향의 단부로부터 내측까지 에칭되어 도 1의 (b)의 구조를 얻었다. 이 때 티탄 산화막(103)의 상부의 단부가 게이트 전극(104)의 단부보다 15~25nm 정도 내측에 위치하도록 한다. 즉 게이트 절연막으로서의 작용은 게이트 절연막의 두께가 가장 두꺼운 곳이 크고, 이 부분의 단부를 상기한 위치에 배치하면 된다.

여기서, 또한 에칭 가스를 변화시켜 티탄 산화막을 드라이 에칭해도 되지만, 기판에 제공되는 손상을 방지하기 위해서는 웨트 에칭으로 티탄 산화막(103)을 제거하는 쪽이 바람직하다. 여기서, 불산, 질산, 마세트산의 혼합액에 의해 티탄 산화막(103)을 에칭하고, 도 1의 (c)에 도시한 구조로 하였다. 또, 우리들의 검토에서는 금속 산화막이 결정화되어 있는 경우, 웨트 에칭 레이트는 극히 느려지기 때문에, 상술한 바와 같이 에칭 시에는 비정질 상태로 형성해 놓고, 이 도 1의 (c)의 구조로 한 후, 열 처리에 의해 결정화시킨 쪽이 공정상 용이하다. 계속해서, CVD법에 의해 얇은 실리콘 산화막(106)을 형성하였다(도 1의 (d)).

또한 이온 주입법과 어닐링에 의해 소스, 드레인 영역(107)을 형성한다. 여기서, 이온 주입 조건과 어닐링 조건을 제어함으로써, 소스, 드레인 영역(107)과 채널 영역의 경계가 고유전율 절연막인 티탄 산화막(103)이 존재하는 영역의 아래에 있도록 하는 것이 디바이스 특성을 향상시키는 데에 있어서 중요하다(도 2의 (a)).

또한, 비교적 드라이 에칭 속도가 빠른 중간 절연막(108)을 플라즈마 CVD법에 의해 퇴적한 후, 리소그래피법을 이용하여 컨택트 영역을 포토레지스트(109)로 패터닝하였다(도 2의 (b)). 이 포토레지스트(109)를 마스크로 하여 컨택트를 형성하지만, 중간 절연막(108)과 실리콘 산화막(106)의 에칭 속도 차를 이용함으로써, 자기 정합적으로 컨택트홀을 소스, 드레인 영역(107) 상에 형성할 수 있다.

또한, 배선층으로 되는 금속막(110)을 퇴적하고(도 2의 (c)), 패터닝함으로써, MISFET 구조를 형성하였다. 본 구조에 따른 MISFET의 특성을 평가한 결과, 양호한 디바이스 특성을 갖는 것을 확인하였다. 또한, 소스, 드레인 영역(107) 중에 포함되는 고유전율 절연막을 구성하는 금속, 즉 티탄의 농도는  $10^{11}$  원자/cm<sup>3</sup> 이하였다.

또, 본 실시예에서는 고유전율 절연막으로서 티탄 산화물을 이용하였지만, 티탄, 티탈, 하프늄, 지르코늄, 알루미늄, 란타 및 스트론튬으로 이루어진 군으로부터 선택된 적어도 일종의 금속의 산화물 또는 산질화물을 이용해도 마찬가지로의 효과가 얻어졌다. 또한, 소스, 게이트로써 상기한 금속(복수의 금속이라도 됨)의 유기 금속 화합물, 유기 Si 화합물, 산소를 이용한 CVD에 의해 얻어진 실리콘이트 화합물을 이용해도 마찬가지로의 효과가 얻어졌다. 이 실리콘이트 화합물은 금속으로서 티탄을 이용하였을 때, 티탄-Si-산소로 이루어진 실리콘이트 화합물이다.

또한, 게이트 전극은 텅스텐을 이용하였지만, 티탄, 몰리브덴 또는 이들 질화물 혹은 규화물을 이용해도 마찬가지로의 효과가 얻어졌다.

이 반도체 장치에서, 비유전율이 높은 절연막은 채널 부분 및 채널부에 연속된 소스, 드레인 영역과 게이트 전극이 오버랩되는 영역 상에 있으면, 채널부를 흐르는 유도 전하량을 증가시킬 수 있다. 한편, 게이트 오프와 소스, 드레인간에는 높은 전계가 발생하기 때문에, 이 부분에는 실리콘 산화막 등의 비교적 비유전율이 낮은 절연막을 배치하는 구조로 하였기 때문에, 프린지 용량 저감에 유효하다.

#### <실시예 2>

다음으로, 도 3, 도 4를 이용하여 본 발명의 제2 실시예를 진술한다. 실시예 1과 마찬가지로, 사전에 원하는 불순물 프로파일을 작성한 실리콘 기판(201)에 홈 매립형의 소자 분리 영역 구조(202)를 형성한다. 이 후, 실리콘 기판 표면을 세정하고, 다시 실리콘 기판 표면의 산화막을 제거한 후, 실리콘 산화막보다 비유전율이 높은 고유전율 절연막을 형성한다. 여기서, 플라즈마 CVD법을 이용하여 상기 고유전율 절연막을 형성하였다. 여기서, 고유전율 재료로서는 지르코늄 산화물을 이용하였다. 이 경우에 형성되는 절연막은, 기판 상에는 비교적 유전율이 낮은(~10 정도) 지르코늄-실리콘-산소로 이루어진 소위 실리콘이트(203)이 형성되고, 그 상부에 지르코늄 산화막(204)이 형성되어 적층 구조의 절연막이 된다. 이

위에, 게이트 전극(205)이 되는 텅스텐막, 게이트 가공 시의 마스크가 되는 실리콘 산화막(206)을 연속적으로 형성하여, 도 3의 (a)에 도시한 구조로 하였다.

이 후, 통상의 리소그래피 및 드라이 에칭 기술을 이용하여, 실리콘 산화막(206) 및 텅스텐막을 가공하여 게이트 전극(205)을 형성한다. 또한 에칭 가스를 변화시켜 지르코늄 산화막(204)을 드라이 에칭함으로써 실리콘 산화막(203)이 선택적으로 남게서, 도 3의 (b)의 구조를 얻는다. 여기서, 실리콘 산화막(203)의 물성은 실리콘 산화물과 거의 동등하고, 드라이 에칭으로 지르코늄 산화막과 에칭 속도 차를 크게 할 수 있어 도 3의 (b)의 구조를 얻는 데 알맞다. 또한, 지르코늄 산화막(204)은 그 단부가 게이트 전극(205)의 게이트 길이 방향의 단부보다 15~25nm 정도 내측에 위치하도록 하였다.

계속해서, 미온 주입법과 어닐링에 의해 소스·드레인 영역(207)을 형성한다. 여기서, 미온 주입 조건과 어닐링 조건을 제어함으로써, 소스·드레인 영역(207)과 채널 영역의 경계가 지르코늄 산화막(204)이 존재하는 영역의 아래에 있도록 하는 것이 디바이스 특성을 향상시키는 데에 있어서 중요하다(도 3의 (c)).

또, 상기 실리콘 산화막(203) 중의 지르코늄 농도는 수%이고, 기판 내로 노크 온된 지르코늄 원자의 양은  $10^{11}$  원자/cm<sup>2</sup> 정도이며, 산화지르코늄막을 통해 미온 주입을 행한 경우의 1할 이하로 저감할 수 있었다. 그 때문에, 여기서는 굳이 실시예 1에서 이용한 미온 주입용의 스루막을 형성하지 않는다.

또한, 비교적 드라이 에칭 속도가 빠른 중간 절연막(208)을 플라즈마 CVD법에 의해 퇴적한 후, 리소그래피법을 이용하여 컨택트 영역을 포토레지스트(209)로 패터닝하였다(도 4의 (a)). 이 포토레지스트(209)를 마스크로 하여 컨택트를 형성하고, 배선층이 되는 금속막(210)을 퇴적하여(도 4의 (b)), 패터닝함으로써, MISFET 구조를 형성하였다.

여기서, 채널 방향의 게이트 절연막의 실질적인 막 두께(실리콘 산화막의 비유전률로 환산한 절연막 두께)와 불순물 농도와의 관계를 도 5에 나타낸다. 이와 같이 실질적인 막 두께가 얇은 곳이 채널부에 접속된 소스·드레인 영역 상에 있는 것에 의해, 전하의 유도를 충분히 행할 수 있어 채널 전류를 증가시킬 수 있다. 한편, 상기 이외의 영역의 실질적인 막 두께를 두껍게 함으로써, 프린지 용량을 증대시키지 않고, 결과적으로 디바이스의 동작 속도를 향상시킬 수 있다.

본 구조에 따른 MISFET의 특성을 평가한 결과, 양호한 디바이스 특성을 갖는 것을 확인하였다.

또, 본 실시예에서는 고유전율 절연막으로서 지르코늄 산화물을 이용하였지만, 티탄, 탄탈, 하프늄, 지르코늄, 알루미늄, 란타 및 스트론튬으로 이루어진 군으로부터 선택된 적어도 일종의 금속의 산화물, 또는 산화화물을 이용해도 마찬가지로의 효과가 얻어졌다.

또한, 게이트 전극은 텅스텐을 이용하였지만, 티탄, 몰리브덴 또는 이들의 질화물 혹은 규화물을 이용해도 마찬가지로의 효과가 얻어졌다.

#### <실시예 3>

또한, 도 6, 도 7을 이용하여 본 발명의 제3 실시예를 진술한다. 본 실시예에서는 복수의 MISFET을 작성하고 있으며, P형 채널, N형 채널의 MISFET을 양쪽 다 작성하고 있다. 그 때문에, 게이트 전극 재료에는 다결정 실리콘을 이용하고 있고, MISFET에 의해 P 또는 N를 도핑한 다결정 실리콘을 게이트 전극으로 함으로써, 게이트 전극의 일 함수를 변화시키고 있다.

실시예 1과 마찬가지로, 사전에 원하는 불순물을 프로파일을 작성한 실리콘 기판(301)에 홀 매립형의 소자 분리 영역 구조(302)를 형성한다. 이 후, 실리콘 기판 표면을 세정하고, 다시 실리콘 기판 표면의 산화막을 제거한 후, 실리콘 산화막보다 비유전률이 높은 고유전율 절연막을 형성한다. 여기서, 플라즈마 CVD법을 이용하여 고유전율 절연막을 형성하였다. 여기서, 고유전율 재료로서는 지르코늄 산화물을 이용하였다. 이 경우에 형성되는 절연막은, 기판 상에는 비교적 유전률이 낮은(~10 정도) 지르코늄-실리콘 산소로 이루어진 소위 실리콘 산화막(303)이 형성되고, 그 상부에 지르코늄 산화막(304)이 형성되어 적층 구조의 절연막이 된다. 이 위에, 상술한 바와 같이, 게이트 전극(305)이 되는 다결정 실리콘막을 형성하고, P 또는 N를 미온 주입법에 의해 도판한다. 적당한 어닐링을 실시한 후, 게이트 가공 시의 마스크가 되는 실리콘 산화막(306)을 연속적으로 형성하여, 도 6의 (a)에 도시한 구조로 하였다.

이 후, 통상의 리소그래피 및 드라이 에칭 기술을 이용하여, 실리콘 산화막(306) 및 P 또는 N를 도핑한 다결정 실리콘막을 가공하고, 게이트 전극(305)을 형성한다. 또한 에칭 가스를 변화시켜 지르코늄 산화막(304)을 드라이 에칭함으로써, 실리콘 산화막(303)이 선택적으로 남게서, 제2 실시예에서 나타낸 도 3의 (b)와 마찬가지로의 구조를 얻는다. 계속해서, 불산에 의한 웨트 에칭 기술을 이용하여, 게이트 전극 하부의 일부를 남기고, 실리콘 산화막(303)을 제거함으로써, 도 6의 (b)의 구조를 얻는다. 여기서, 실리콘 산화막(303)은 그 단부가 게이트 전극(305)의 게이트 길이 방향의 단부보다 15~25nm 정도 내측에 위치하도록 하였다.

이 후, 미온 주입용의 스루막으로서 실리콘 산화막(307)을 CVD법에 의해 형성한다. 이 모습을 도 6의 (c)에 나타낸다. 여기서는, 단채널 특성을 향상시키기 위해, 소스·드레인이 되는 확산층을 얇게 하기 때문에, 미온 주입의 주입 에너지도 2KeV로 작게 한다. 그 때문에, 상기 스루막의 막 두께도 5nm로 얇게 하고 있다. 따라서, 도 6의 (c)에 도시한 바와 같이, 게이트 전극 측면은 스루막을 형성한 후라도, 게이트 전극 하부에 10~20nm 정도의 오목부를 갖는 구조가 된다.

여기서, 얇은 확산층을 형성하고, 게다가, 소스·드레인 영역과 실질적으로 막 두께가 매우 얇은 영역을 오버랩시키기 위해, 본 실시예에서는 경사 미온 주입 기술을 이용하고 있다. 여기서는, 주입 각도를 30도로 하여 게이트 하부의 실질적으로 막 두께가 얇은 영역까지 소스·드레인 영역이 도달하도록 하였다.

상기한 경사 미온 주입법과 어닐링에 의해 도 7의 (a)에 도시한 바와 같이 소스·드레인 영역을 형성하였다. 이와 같이, 소스·드레인 영역과 게이트 절연막이 실질적으로 매우 얇은 부분을 알맞게 오버랩시키기 위해서, 상술한 게이트 측면부의 오목부의 제어도 유효한 수단이다. 또한, 소스·드레인 영역 중에 포함되어 있는 고유전율 절연막을 구성하는 금속, 즉 지르코늄의 농도는  $10^{11}$  원자/cm<sup>2</sup> 이하였다.

또한, 비교적 드라이 에칭 속도가 빠른 중간 절연막(308)을 플라즈마 CVD법에 의해 퇴적한 후, 리소그래피법을 이용하여 콘택트 영역을 포토레지스트(309)로 패터닝하였다(도 7의 (b)). 이 포토레지스트(309)를 마스크로 하여 콘택트를 형성하고, 배선층으로 되는 금속막(310)을 퇴적하여(도 7의 (c)), 패터닝함으로써, MISFET 구조를 형성하였다. 또, 여기서는 제1 실시예와 마찬가지로, 중간 절연막(308)과 스퍼스의 실리콘 산화막(307)의 드라이 에칭 속도 차를 이용하여, 자기 정합적으로 콘택트홀을 형성하고 있다.

본 구조에 따른 MISFET의 특성을 평가한 결과, 단채널 특성과 구동 전류에 우수한 양호한 디바이스 특성을 갖는 것을 확인하였다.

또, 본 실시예에서는 고유전율 절연막으로서, 지르코늄 산화물을 이용하였지만, 티탄, 탄탈, 하프늄, 지르코늄, 알루미늄, 란타 및 스트론튬으로 이루어진 군으로부터 선택된 적어도 일종의 금속의 산화물 또는 산질화물을 이용해도 마찬가지로의 효과가 얻어졌다.

또한, 게이트 전극은 텅스텐을 이용하였지만, 티탄, 폴리브덴 또는 이들의 질화물 혹은 규화물을 이용해도 마찬가지로의 효과가 얻어졌다.

#### 발명의 효과

본 발명에 따르면, MISFET 디바이스의 고속화가 가능하다. 또한, 금속 원소의 실리콘 기판 내로의 오염과 프린지 용량 증가를 회피할 수 있다.

#### (5) 청구의 범위

##### 청구항 1

반도체 기판 상에 게이트 절연막을 통해 게이트 전극이 배치된 전계 효과 트랜지스터를 갖는 반도체 장치에 있어서,

상기 게이트 절연막은 비유전율이 실리콘 산화막보다 높은 절연막이고,

상기 게이트 절연막의 게이트 길이 방향의 단부는 상기 게이트 전극의 소스측, 드레인측의 단부보다 내측에 위치하고, 또한, 상기 게이트 절연막의 상기 단부는 상기 게이트 전극과, 소스 영역 및 드레인 영역이 평면적으로 오버랩되는 영역에 위치하고 있는 것을 특징으로 하는 반도체 장치.

##### 청구항 2

반도체 기판 상에 게이트 절연막을 통해 게이트 전극이 배치된 전계 효과 트랜지스터를 갖는 반도체 장치에 있어서,

상기 게이트 절연막은 비유전율이 실리콘 산화막보다 높은 절연막이고, 또한, 그 게이트 길이 방향의 단부가 상기 게이트 전극의 소스측, 드레인측의 단부보다 내측에 위치하고,

상기 전계 효과 트랜지스터의 소스 영역 및 드레인 영역은 상기 게이트 절연막의 하부로 연장되어 있는 것을 특징으로 하는 반도체 장치.

##### 청구항 3

제1항 또는 제2항에 있어서,

상기 게이트 절연막의 게이트 길이 방향의 단부의 측방, 또한, 상기 반도체 기판 상에는 상기 게이트 절연막보다 비유전율이 낮은 절연막이 설치된 것을 특징으로 하는 반도체 장치.

##### 청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 게이트 절연막의 게이트 길이 방향의 단부는 상기 게이트 전극의 소스측, 드레인측의 단부보다 15nm ~ 25nm 내측에 위치하는 것을 특징으로 하는 반도체 장치.

##### 청구항 5

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 게이트 절연막은 티탄, 탄탈, 하프늄, 지르코늄, 알루미늄, 란타 및 스트론튬으로 이루어진 군으로부터 선택된 적어도 일종의 금속의 산화물, 산질화물 또는 실리콘계이트 화합물인 것을 특징으로 하는 반도체 장치.

##### 청구항 6

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 게이트 절연막은 티탄, 탄탈, 하프늄, 지르코늄, 알루미늄, 란타 및 스트론튬으로 이루어진 군으로부터 선택된 적어도 일종의 금속의 산화물로 이루어진 층과,

상기 금속의 실리콘계이트 화합물로 이루어진 층과의 적층 구조인 것을 특징으로 하는 반도체 장치.

##### 청구항 7

제1항 내지 제6항 중 어느 한 항에 있어서,

상기 소스 영역 및 상기 드레인 영역은 상기 절연막에 포함되는 금속을 포함하지 않거나, 혹은 10<sup>11</sup> 원자/

제8항 이하의 농도로 포함하고 있는 것을 특징으로 하는 반도체 장치.

#### 청구항 8

제9항 내지 제7항 중 어느 한 항에 있어서,

상기 게이트 전극은 텅스텐, 티탄 및 폴리브덴으로 이루어진 군으로부터 선택된 적어도 일종 중에서 선택된 금속 또는 그 질화물 혹은 규화물인 것을 특징으로 하는 반도체 장치.

#### 청구항 9

반도체 기판 상에 실리콘 산화막보다 비유전율이 높은 절연막을 형성하고, 상기 절연막 상에 도전성막을 형성하는 공정;

상기 도전성막을 가공하여 게이트 전극으로 하는 공정;

상기 비유전율이 높은 절연막을 상기 게이트 전극의 하부에 있는 부분을 남기고 제거하고, 또한, 남겨진 부분의 단부가 상기 게이트 전극의 소스 영역이 형성되는 측의 단부 및 드레인 영역이 형성되는 측의 단부의 내측에 위치하도록 하고, 상기 남겨진 부분을 게이트 절연막으로 하는 공정;

적어도 상기 게이트 절연막의 게이트 길이 방향의 측방, 또한, 상기 반도체 기판 상에, 상기 게이트 절연막보다 비유전율이 낮은 제2 절연막을 형성하는 공정; 및

상기 제2 절연막을 통해, 이온 주입법에 의해 기판 내로 도우펀트를 주입하여 소스 영역 및 드레인 영역을 형성하고, 또한, 상기 소스 영역 및 드레인 영역을 상기 게이트 절연막의 하부로 연장시키는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 10

제9항에 있어서,

상기 비유전율이 높은 절연막은 비정질 상태로 형성되고,

상기 비유전율이 높은 절연막의 제거는 그 일부를 드라이 에칭에 의해 제거한 후, 다시 웨트 에칭에 의해 행하는 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 11

제10항에 있어서,

상기 비유전율이 높은 절연막을 상기 웨트 에칭 후에 결정화하는 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 12

제9항 내지 제11항 중 어느 한 항에 있어서,

상기 도우펀트의 주입은 경사 이온 주입법에 의해 행하는 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 13

제9항 내지 제12항 중 어느 한 항에 있어서,

상기 비유전율이 높은 절연막의 제거는, 상기 남겨진 부분의 단부가 상기 게이트 전극의 소스 영역측, 드레인 영역측의 단부보다 15nm~25nm 내측에 위치하도록 행하는 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 14

제9항 내지 제13항 중 어느 한 항에 있어서,

상기 게이트 절연막은 티탄, 탄탈, 하프늄, 지르코늄, 알루미늄, 란타 및 스트론튬으로 이루어진 군으로부터 선택된 적어도 일종의 금속의 산화물, 산질화물 또는 실리콘게이트 화합물인 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 15

제9항 내지 제14항 중 어느 한 항에 있어서,

상기 게이트 전극은 텅스텐, 티탄 및 폴리브덴으로 이루어진 군으로부터 선택된 적어도 일종 중에서 선택된 금속 또는 그 질화물 혹은 규화물인 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 16

제9항 내지 제14항 중 어느 한 항에 있어서,

상기 게이트 전극은 다결정 실리콘으로 이루어지고, 복수의 상기 게이트 전극이 상기 이온 주입되는 물질이 상이한 것에 의해, 그 일 함수가 서로 다른 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 17

반도체 기판 상에 비유전율이 실리콘 산화막보다 높은 제1 절연막을 형성하고, 상기 제1 절연막 상에 비유전율이 상기 제1 절연막보다 높은 제2 절연막을 형성하며, 상기 제2 절연막 상에 도전성막을 형성하는

공정,

상기 도전성막을 가공하여 게이트 전극으로 하는 공정,

상기 제2 절연막을 상기 게이트 전극의 하부에 있는 부분을 남기고 제거하고, 또한, 남겨진 부분의 단부가 상기 게이트 전극의 소스 영역이 형성되는 측의 단부 및 드레인 영역이 형성되는 측의 단부의 내측에 위치하도록 하고, 상기 남겨진 부분을 게이트 절연막으로 하는 공정, 및

상기 제1 절연막을 통해, 미온 주입법에 의해 기판 내로 도우펀트를 주입하여 소스 영역 및 드레인 영역을 형성하고, 또한, 상기 소스 영역 및 드레인 영역을 상기 게이트 절연막의 하부로 연장시키는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 18

제17항에 있어서,

상기 게이트 절연막은 티탄, 탄탈, 하프늄, 지르코늄, 알루미늄, 란타 및 스트론튬으로 이루어진 군으로부터 선택된 적어도 일종의 금속의 산화물 또는 산질화물이고,

상기 제2 절연막은 실리콘계이트 화합물인 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 19

제17항 또는 제18항에 있어서,

상기 게이트 전극은 텅스텐, 티탄 및 몰리브덴으로 이루어진 군으로부터 선택된 적어도 일종 중에서 선택된 금속 또는 그 질화물 혹은 규화물인 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 20

제17항 내지 제19항 중 어느 한 항에 있어서,

상기 제2 절연막의 제거는, 상기 남겨진 부분의 단부가 상기 게이트 전극의 소스 영역측, 드레인 영역측의 단부보다 15nm~25nm 내측에 위치하도록 행하는 것을 특징으로 하는 반도체 장치의 제조 방법.

도면



도 1

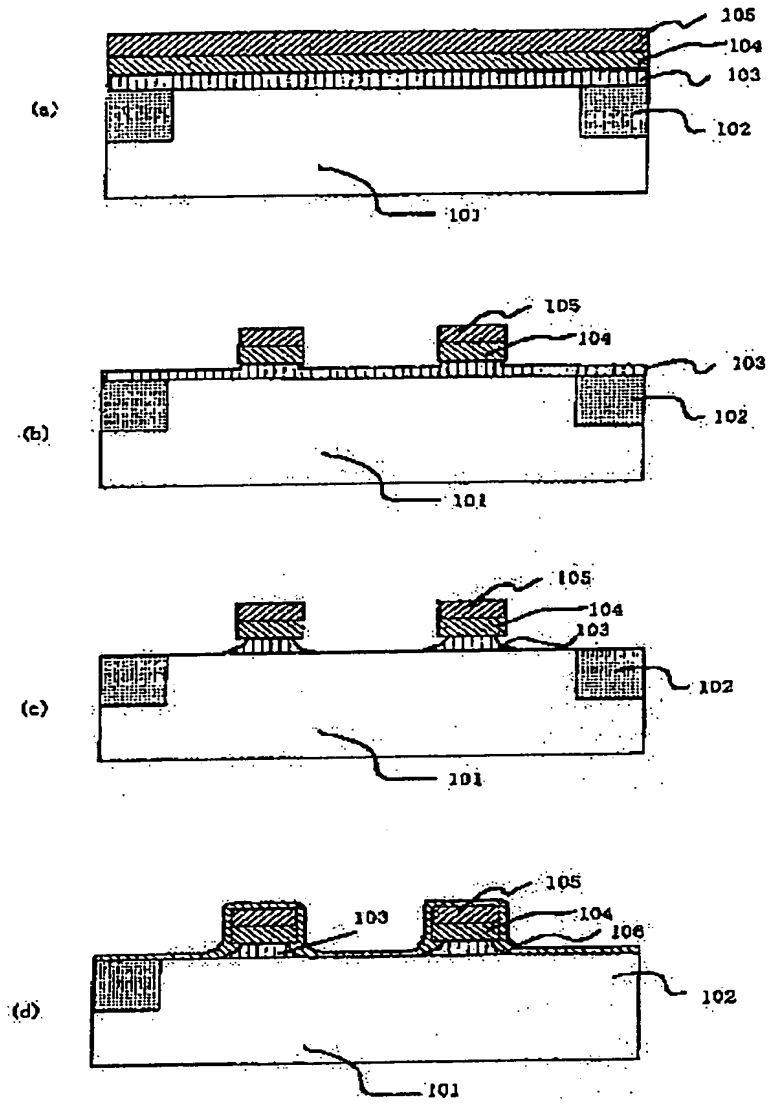


FIG. 2

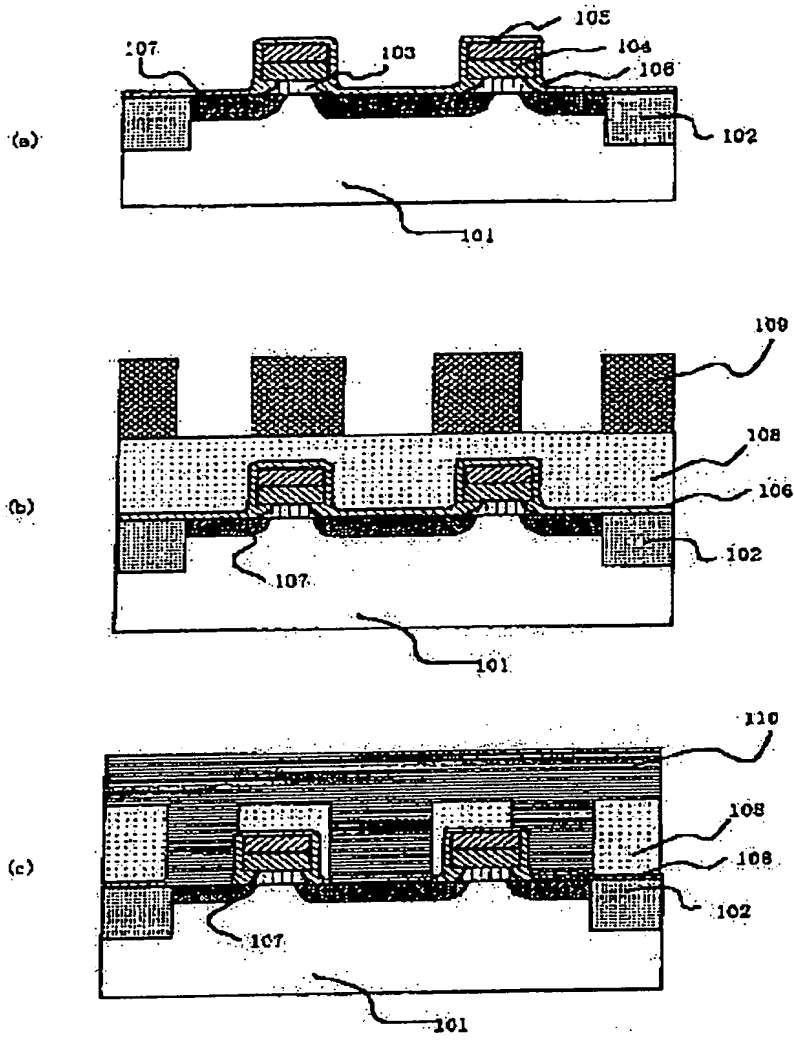
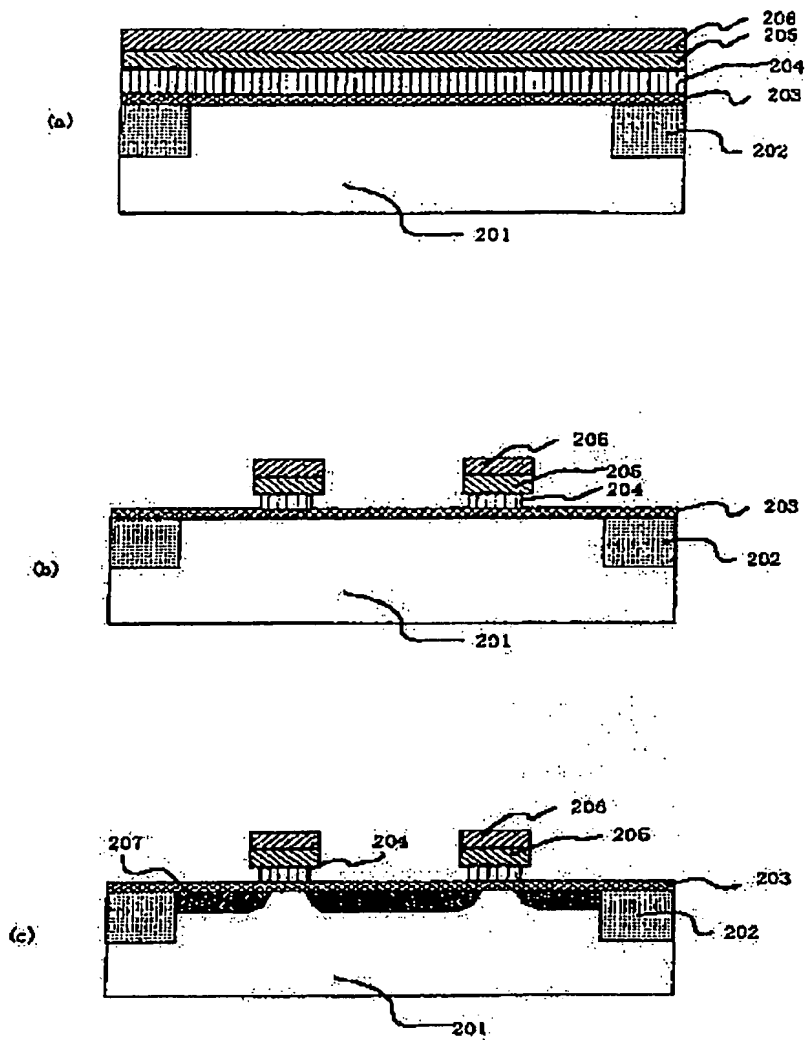
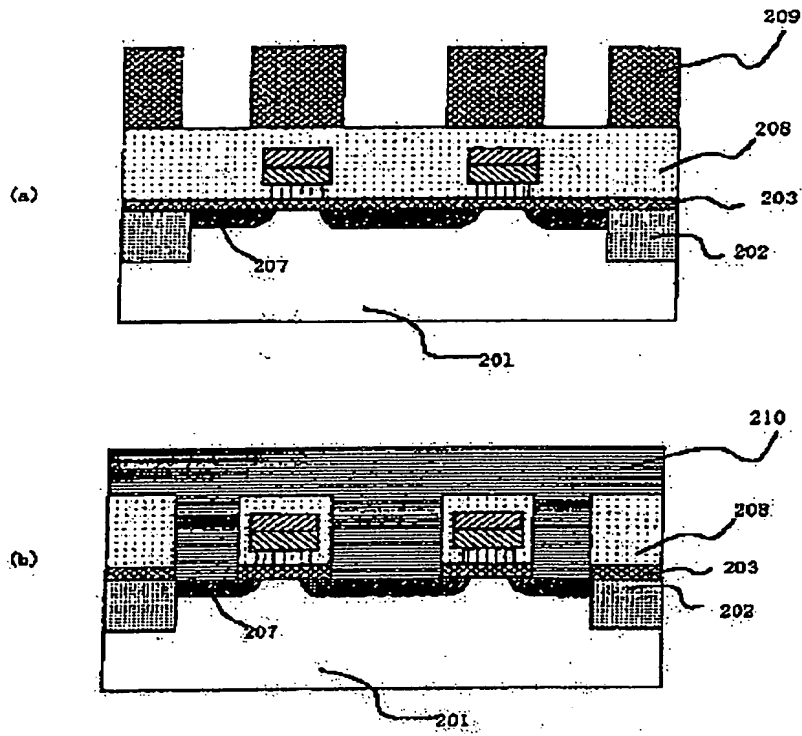


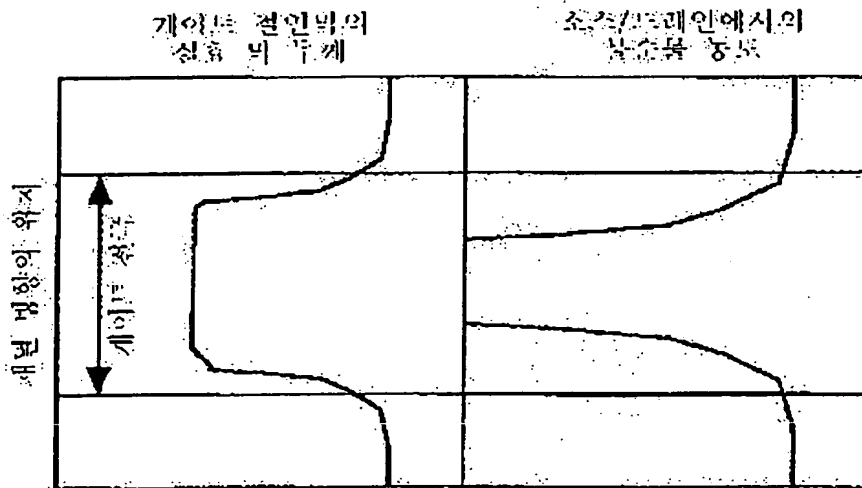
FIG. 3



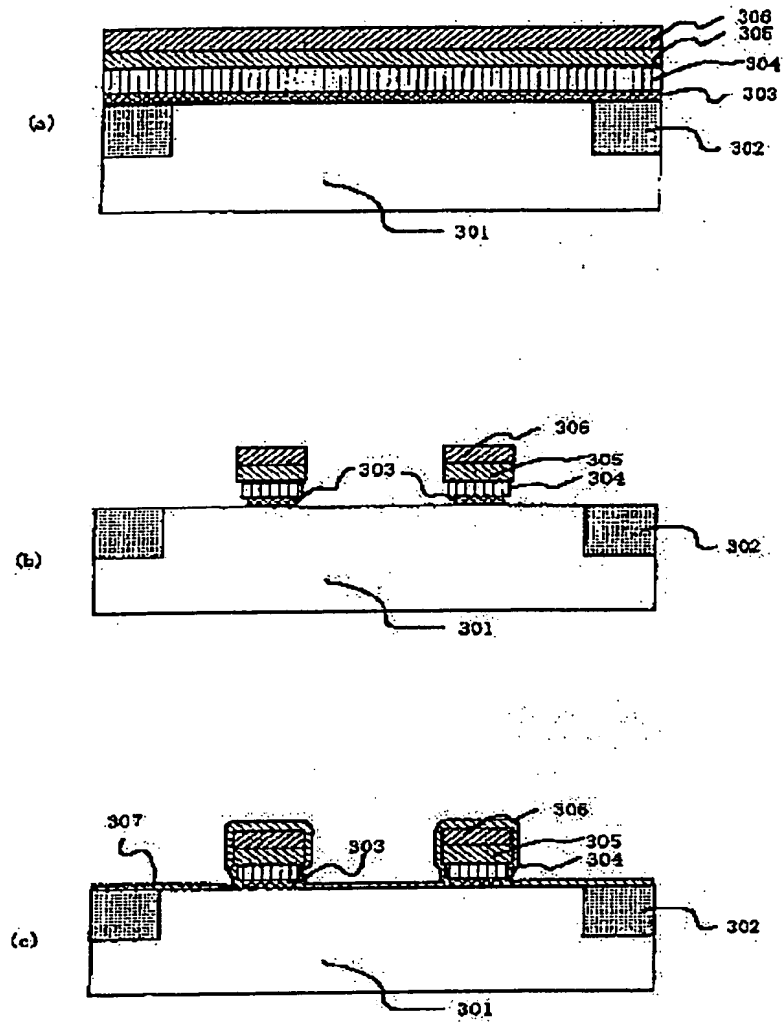
도 4



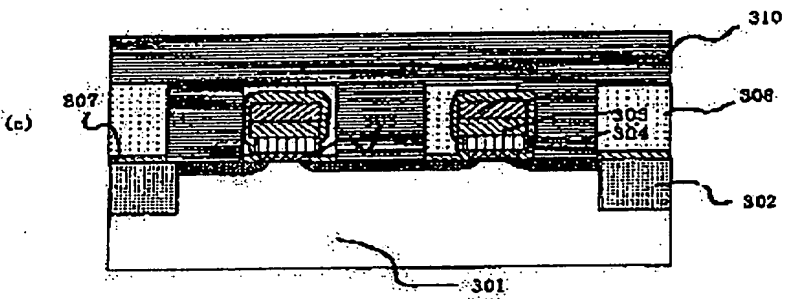
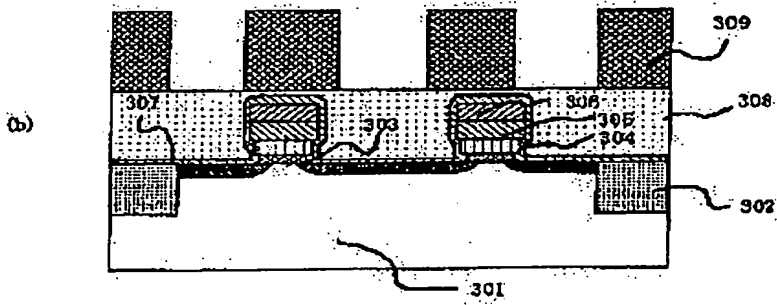
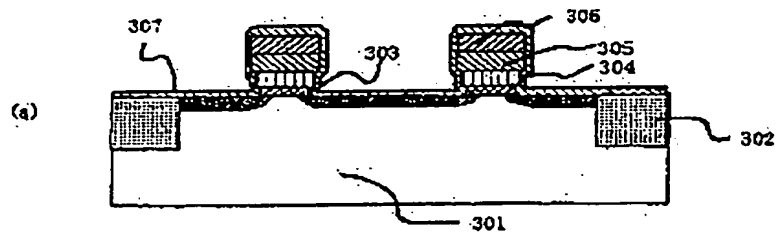
도 5



508



507



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**